

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030469

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G11C 15/04

(21)Application number : 10-198324

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 14.07.1998

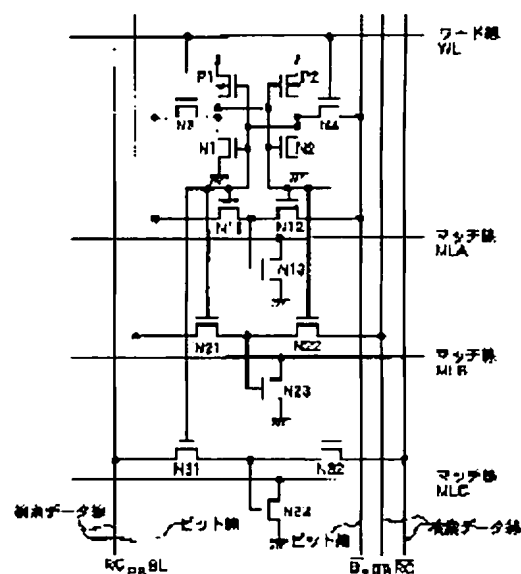
(72)Inventor : TAKESHITA KOJI
TAKAHASHI NORIAKI

(54) ASSOCIATIVE MEMORY CELL AND ASSOCIATIVE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an associative memory cell and an associative memory which can retrieve plural retrieval data rows or plural mask setting information rows at one time.

SOLUTION: This associative memory cell contains (1) two pairs of retrieval data line pairs RB and the inverse of RB, RC and the inverse of RC, (2) N21-N23 and N31-N33 for retrieving whether or not the retrieval data given to these two pairs of retrieval data line pairs each agree with the data held at a node of P1 and N1, and a node of P2 and N2, respectively, and (3) match lines MLB and MLC for outputting these retrieved results.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30469

(P 2 0 0 0 - 3 0 4 6 9 A)

(43) 公開日 平成12年 1 月28日 (2000. 1. 28)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)	
G11C 15/04	601	G11C 15/04	601	W
			601	A

審査請求 未請求 請求項の数 8 O L (全16頁)

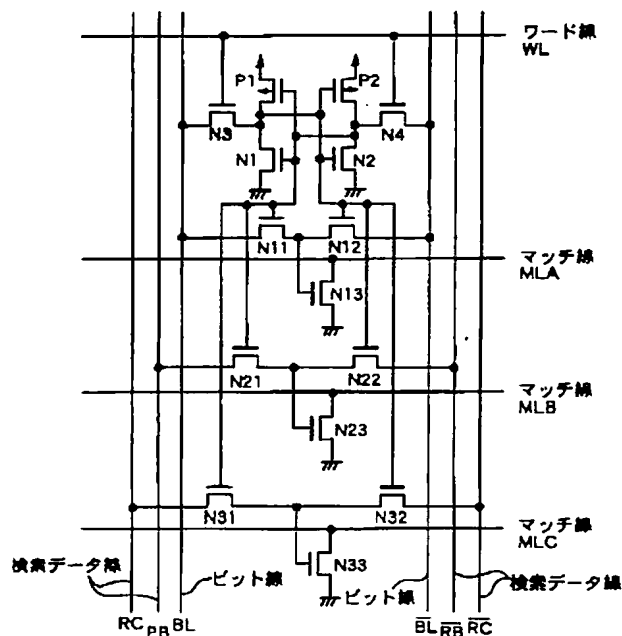
(21) 出願番号	特願平10-198324	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門 1 丁目 7 番12号
(22) 出願日	平成10年 7 月14日 (1998. 7. 14)	(72) 発明者	竹下 浩司 東京都港区虎ノ門 1 丁目 7 番12号 沖電気工業株式会社内
		(72) 発明者	高橋 徳明 東京都港区虎ノ門 1 丁目 7 番12号 沖電気工業株式会社内
		(74) 代理人	100090620 弁理士 工藤 宜幸

(54) 【発明の名称】 連想メモリセル及び連想メモリ

(57) 【要約】

【課題】 複数の検索データ列又は複数のマスク設定情報列に対し 1 回で検索できる連想メモリセル及び連想メモリを提供する。

【解決手段】 本発明の連想メモリセルは、(1) 2 対の検索データ線対 R B 及び R B /、R C 及び R C / と、(2) この 2 対の検索データ線対に与えられた検索データがそれぞれ、P 1 及び N 1 の接続点と P 2 及び N 2 の接続点とに保持されたデータと一致するか否かを検索する N 2 1 ~ N 2 3 及び N 3 1 ~ N 3 3 と、(3) この検索結果を出力するマッチ線 M L B 及び M L C とを有することを特徴とする。



【特許請求の範囲】

【請求項 1】 メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定する照合手段とを有する連想メモリセルにおいて、異なる検索データが与えられる複数の上記照合手段を有することを特徴とする連想メモリセル。

【請求項 2】 メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定して出力する照合手段とを有する連想メモリセルにおいて、上記照合手段の判定結果を、重複して取り出す 1 以上の取出手段を有することを特徴とする連想メモリセル。

【請求項 3】 メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定する照合手段とを有する連想メモリセルにおいて、異なる検索データが与えられる複数の上記照合手段と、上記各照合手段に対応して設けられたものであって、対応する上記照合手段の判定結果を、重複して取り出す 1 以上の取出手段とを有することを特徴とする連想メモリセル。

【請求項 4】 上記各取出手段は、マスク設定情報に基づいて、重複して取り出した上記照合手段の判定結果を出力又は出力停止にすることを特徴とする請求項 2 又は 3 に記載の連想メモリセル。

【請求項 5】 上記照合手段は、マスク設定情報に基づいて、自手段の判定結果を出力又は出力停止にすることを特徴とする請求項 2 又は 3 に記載の連想メモリセル。

【請求項 6】 複数のワード線と複数のビット線対によってマトリクス状にアドレス付けされた請求項 1～4 のいずれかに記載の複数の連想メモリセルを有し、各連想メモリセルから出力される一致判定信号を、上記複数のワード線に対応して設けられた複数のマッチ線に、検索データ列別及び又はマスク設定情報列別に出力することを特徴とする連想メモリ。

【請求項 7】 請求項 6 に記載の連想メモリにおいて、検索データ列別及び又はマスク設定情報列別に出力された一致判定信号の優先度別に設けられ、自手段に与えられた同優先度の一致判定信号に基づき、多重一致の検出、不一致の検出、又は、一致を検出したデータを保持するアドレス中の 1 つの所定アドレスの出力を行う複数の一致判定信号処理手段を有することを特徴とする連想メモリ。

【請求項 8】 請求項 6 に記載の連想メモリにおいて、検索データ列別及び又はマスク設定情報列別に出力された一致判定信号の優先度別に設けられ、自手段に与えられた同優先度の一致判定信号に基づき、不一致を検出する複数の不一致検出手段と、上記不一致検出手段が不一致を検出しない優先度のうち、最も優先度の高い一致判定信号を選定するセレクト手段と、上記セレクト手段が選定した一致判定信号に基づき、多

重一致の検出、不一致の検出、又は、一致を検出したデータを保持するアドレス中の 1 つの所定アドレスの出力を行う一致判定信号処理手段と、を有することを特徴とする連想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は連想メモリセル及び連想メモリに関し、例えば、メッセージ単位での交換処理を行う装置に適用し得るものである。

【0002】

【従来の技術】 文献 1：菅野卓雄監修、飯塚哲哉編、『CMOS 超 LSI の設計』，pp.176-177，培風館，1996

連想メモリ（Content Addressable Memory；以下、「CAM」と記す）とは、上記文献 1 に説明されているように、通常の RAM（Random Access Memory）のようにアドレスを入力して、データ列の読み出し或いは書き込みを行うのみでなく、検索データ列を入力して、それに合致する或いは類似するデータ列を持ったワードの有無やそのアドレスの個数を、単一又は数サイクルで検索する検索機能（照合機能）を備えたメモリである。

【0003】 このような機能を持たせるために、従来の CAM セルは、通常の SRAM（Static RAM）セルに検索機能を加えた構成になっている。ここで、一般には、図 2 又は図 3 に示すように、検索イネーブル線がない CAM セルを使用する場合が多い。また、CAM は、図 4 に示すように、SRAM と同様に n ワード $\times m$ ビット構成の CAM セルのアレイ構造からなる。以下、CAM の基本的な動作について、図 2 に示した CAM セルを参照しながら説明する。

【0004】 P チャネル MOS 型 FET（以降、符号の先頭に「P」を付して表し、特に必要のない限り名称は省略する）1 及び N チャネル MOS 型 FET（以下、符号の先頭に「N」を付し、特に必要のない限り名称は省略する）1 の接続点と P 2 及び N 2 の接続点には、互いに相補の関係にある論理（2 値）が保持される。例えば、P 1 及び N 1 の接続点に「H」レベルが、P 2 及び N 2 の接続点に「L」レベルが与えられた場合には、P 1 及び N 2 がオン（ここで「オンする」とは、FET のドレインソース間が導通することを意味し、以下同様に用いる）、P 2 及び N 1 がオフ（ここで「オフする」とは、FET のドレインソース間が導通しないことを意味し、以下同様に用いる）ので、与えられた論理が保持されることになる。

【0005】 ここで、ワード線 WL に「H」レベルが与えられた場合、N 3 及び N 4 がオンするので、ビット線対 BL 及び BL /（なお、本文では、相補の関係にある負論理の信号線に対して符号の末尾に「/」を付して示す。また、図面では、符号の頭上に「-」を付して示す。）にデータが与えられたときには、ビット線 BL と

BL/とに与えられた相補関係の論理が、P1及びN1の接続点とP2及びN2の接続点とに与えられて保持されることになる。一方、ビット線対BL及びBL/にデータが与えられないときには、P1及びN1の接続点とP2及びN2の接続点とに保持された相補関係の論理がビット線BLとBL/とに与えられ、データが出力されることになる。なお、この説明でもわかるように、メモリに対して授受するデータは、メモリ内では相補関係の論理信号として処理されている。

【0006】また、ワード線WLが「L」レベルの状態
で、ビット線対BL及びBL/に検索データが与えられた場合には、ビット線BLとBL/とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しないときは、「H」レベルのビット線BL又はBL/に接続されたN11又はN12がオンし、N11及びN12の接続点が「H」レベルになり、その結果、N13がオンするので、マッチ線MLが「L」レベルになる。一方、ビット線BLとBL/とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致するときは、「L」レベルのビット線BL又はBL/に接続されたN11又はN12がオンするので、予めN11及びN12の接続点が「L」レベルであり、マッチ線MLが「H」レベルであれば、N13はオフしたままであり、マッチ線MLも「H」レベルのまま保持される。但し、ビット線BL及びBL/共に「L」レベルが与えられたときには、N11及びN12のどちらがオンしてもN11及びN12の接続点は「L」レベルであるので、N13はオフしたままであり、マッチ線MLも「H」レベルのまま保持される。なお、図3に示したCAMセルも同様の動作を行うものである。

【0007】すなわち、このCAMの検索動作は、すべてのワード線を「L」レベルに、すべてのマッチ線を「H」レベルにした状態で、検索を行う（ケアする）ビット線対に検索データ列を、検索を行わない（マスクする）ビット線対に共に「L」レベルを入力すると、一致したデータ列が保持されているCAMセルに接続されたマッチ線のみが「H」レベルに保持されることになる。

【0008】一方、CAMの周辺回路には、応用システムの要求により種々の機能が付加されている。例えば、

(1) ケアするか、マスクするかを設定するマスク機能回路とその情報列を蓄えるマスク設定用レジスタ回路、

(2) 一致したアドレスをバイナリ信号にするエンコード回路（特に、多重一致した場合、優先度の高いアドレスを分離して出力するプライオリティ機能を有するエンコード回路が多い）、(3) 一致がなかったことを検出する不一致検出回路、(4) 多重一致があったことを検出する多重一致検出回路、(5) すべてのアドレスに登録（記憶）データがあることを検出するFULL検出回路、(6) どのアドレスにも登録（記憶）データがないことを検出するEMPTY検出回路などがある。

【0009】文献2：伊藤敦夫，鈴木晃二，久松秀則，石戸泰樹，本田直人，『ATMを用いた高速・広帯域データ交換システムの一検討』，電子情報通信学会，集積回路研究会，SSE90-128，IN90-89，pp.19-24

次に、このCAMを用いた応用システムの一つであるアドレス変換装置について説明する。図5は、上記文献2に開示された、ATM技術を用いたコネクションレス・データ交換システム中のアドレス変換装置（ヘッダコンバータとも呼ばれる）のルーティング処理の概要を示したものである。コネクションレス通信のメッセージ

（図中「セル」）には宛先アドレス（図中「DA」）と送り元アドレス（図中「SA」）が含まれており、ルーティング処理では、回線から到来したセルの宛先アドレスに基づいて、ルーティング用CAM1で対応するコネクション番号（VPI，VCI）の検索が行われ、この検索結果に基づきヘッダ変換用テーブル2から対応するコネクション番号が読み出され、ヘッダ変換回路3でこの読み出されたコネクション番号がセルのヘッダに付加されて変換される。このヘッダが変換されたセルは、ATMスイッチを介して、自局内の回線に割り当てられたり他局へ送られたりする。

【0010】ここでさらに、ルーティング用CAM1の第1の検索方法について説明する。到来したセルの宛先アドレスが、自局のアドレスであるか或いは他局のアドレスであるかを識別するために、ルーティング用CAM1には、予め宛先アドレスの登録の際に局内/局外識別子も登録されている。そこで、まず、局内識別子が一致するように検索が行われ、局内に該当するコネクション番号がないかを調べ、もし該当するコネクション番号がなければ、局外識別子が一致するように検索が行われ、該当する他局の番号がないかを調べる。このようにして局内か局外かの検索が行われた後、宛先アドレスの検索が行われる。

【0011】一方、図6は、第2の検索方法の例を示したものである。例えば、aaaa-bbbb-cccc-dddd（16進数）の4つの部分を持つ宛先アドレスがあるとする。0120-0301-F61A-1111という宛先アドレスを検索データ列として調べるとき、まず、全番号が一致しているデータ列を調べたい。しかし、それに該当するデータ列が無かった場合は、次に先頭の3部分が一致するデータ列を調べたい。それでも、該当するデータ列が無かった場合は、更に、先頭部分だけ一致するデータ列を調べたい。このように、順次、照合する部分を変えて検索が行われる。

【0012】

【発明が解決しようとする課題】しかしながら、従来のアドレス変換装置に用いたCAMで、上述した第1の検索方法を行うと、検索するデータ列が変わる度に検索データ列を変更して再び検索を行う必要があり、局内か局外かの検索が行われた後に宛先アドレスの検索を行うの

で、最低でも2回の検索を行わなければならない。また、上述した第2の検索方法を行うと、検索データのケア/マスクを設定するマスク設定情報列が変わる度にマスク設定情報列を変更して再び検索を行う必要があり、最大4回も検索を行わなければならない。

【0013】このように、従来のアドレス変換装置のCAMでは、1つのアドレスを処理するのに複数回の検索が必要であり、処理が複雑になり、処理速度が遅くなるという課題があった。

【0014】一方、これを回避するために、CAMを並列して用いればよいのだが、並列分の個数のCAMが必要となり、装置が大きく、高価格になるという課題があった。

【0015】そのため、複数の検索データ列、又は、複数のマスク設定情報列に対し1回で検索できる連想メモリセル及び連想メモリが求められていた。

【0016】

【課題を解決するための手段】かかる課題を解決するため、第1の本発明は、メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定する照合手段とを有する連想メモリセルにおいて、異なる検索データが与えられる複数の照合手段を有することを特徴とする。

【0017】また、第2の本発明は、メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定して出力する照合手段とを有する連想メモリセルにおいて、照合手段の判定結果を、重複して取り出す1以上の取出手段を有し、各取出手段は、マスク設定情報に基づいて、重複して取り出した上記照合手段の判定結果を出力又は出力停止にすることを特徴とする。

【0018】さらに、第3の本発明の連想メモリは、複数のワード線と複数のビット線対によってマトリクス状にアドレス付けされた第1又は第2の本発明の複数の連想メモリセルを有し、各連想メモリセルから出力される一致判定信号を、複数のワード線に対応して設けられた複数のマッチ線に、検索データ列別及び又はマスク設定情報列別に出力することを特徴とする。

【0019】

【発明の実施の形態】(A) 第1の実施形態

以下、本発明による連想メモリセルの第1の実施形態について、図面を参照しながら詳述する。

【0020】(A-1) 構成の説明

図1は、第1の実施形態の連想メモリセルの構成を示した回路図である。図1において、この連想メモリセルは、PチャネルMOS型FET P1及びP2と、NチャネルMOS型FET N1~N4、N11~N13、N21~N23及びN31~N33とを有する。

【0021】P1及びP2はそれぞれ、ゲートに“L”レベルが与えられた場合、ソース及びドレイン間を導通させ、ゲートに“H”レベルが与えられた場合、ソース及び

ドレイン間を導通させないものである。なお、後述する各実施形態で、符号の先頭に「P」を付して表すものは、全てこれと同様のものである。

【0022】N1~N4、N11~N13、N21~N23及びN31~N33はそれぞれ、ゲートに“H”レベルが与えられた場合、ソース及びドレイン間を導通させ、ゲートに“L”レベルが与えられた場合、ソース及びドレイン間を導通させないものである。なお、後述する各実施形態で、符号の先頭に「N」を付して表すものは、全てこれと同様のものである。

【0023】ここで、各構成要素の接続関係について説明する。P1及びP2のソースは“H”レベルの供給する電源に接続され、N1及びN2のソースは“L”レベルを供給するグラウンドに接続され、P1のドレインはN1のドレインに接続され、P2のドレインはN2のドレインに接続される。

【0024】また、P1及びN1の接続点は、N3のドレインに接続されると共に、P2、N2、N12、N22及びN32のゲートに接続される。一方、P2及びN2の接続点は、N4のドレインに接続されると共に、P1、N1、N11、N21及びN31のゲートに接続される。

【0025】さらに、N3及びN4のゲートはワード線WLに接続され、N3のソースはビット線BLに接続され、N4のソースはビット線BL/に接続される。ビット線対BL及びBL/の間には、ビット線BL側から、N11のソース及びドレイン、N12のドレイン及びソースが接続され、検索データ線対RB及びRB/の間には、検索データ線RB側から、N21のソース及びドレイン、N22のドレイン及びソースが接続され、検索データ線対RC及びRC/の間には、検索データ線RC側から、N31のソース及びドレイン、N32のドレイン及びソースが接続される。

【0026】さらにまた、N13は、そのドレインがマッチ線MLAに、そのソースがグラウンドに、そのゲートがN11及びN12の接続点に接続され、N23は、そのドレインがマッチ線MLBに、そのソースがグラウンドに、そのゲートがN21及びN22の接続点に接続され、N33は、そのドレインがマッチ線MLCに、そのソースがグラウンドに、そのゲートがN31及びN32の接続点に接続される。

【0027】ここでさらに、このように接続された各構成要素が有する機能について説明する。

【0028】P1、P2、N1及びN2は、P1及びN1の接続点とP2及びN2の接続点とに与えられた、互いに相補の関係にある論理を保持するものである。例えば、P1及びN1の接続点に“H”レベルが、P2及びN2の接続点に“L”レベルが与えられると、P1及びN2がオンし、P2及びN1がオフするので、与えられた論理は保持されることになる。

【0029】N3及びN4は、ワード線WLに“H”レベルが与えられた場合、N3及びN4がオンし、ビット線対BL及びBL／にデータが与えられたときは、ビット線BLとBL／とに与えられた相補関係の論理をそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに与えて保持させるものである。また、ビット線対BL及びBL／にデータが与えられないときには、P1及びN1の接続点とP2及びN2の接続点とに保持された相補関係の論理をそれぞれ、ビット線BLとBL／とに与えて出力させるものである。一方、N3及びN4は、ワード線WLに“L”レベルが与えられた場合には、N3及びN4がオフするので、ビット線BLとP1及びN1の接続点とを絶縁させ、ビット線BL／とP2及びN2の接続点とを絶縁させるものである。

【0030】N11～N13は、ビット線BLとBL／とに与えられた論理がそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しない場合、“H”レベルのビット線BL又はBL／に接続されたN11又はN12がオンするので、N11及びN12の接続点が“H”レベルになってN13がオンし、マッチ線MLAを“L”レベルにするものである。一方、ビット線BLとBL／とに与えられた論理がそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致する場合には、“L”レベルのビット線BL又はBL／に接続されたN11又はN12がオンするので、予めN11及びN12の接続点が“L”レベルで、マッチ線MLAに“H”レベルが与えられていれば、N13がオフしたままであり、マッチ線MLAを“H”レベルのまま保持するものである。但し、ビット線対BL及びBL／の双方に“L”レベルが与えられたときには、N11及びN12のどちらがオンしてもN11及びN12の接続点は“L”レベルであるので、N13はオフしたままであり、マッチ線MLAは“H”レベルのまま保持される。

【0031】なお、N21～N23も、対応接続する検索データ線対RB及びRB／とマッチ線MLBとが異なる以外は、N11～N13と同様の機能を有するものであり、また、N31～N33も、対応接続する検索データ線対RC及びRC／とマッチ線MLCとが異なる以外は、N11～N13と同様の機能を有するものである。

【0032】(A-2) 動作の説明

次に、上述した構成を有する第1の実施形態の連想メモリセルの動作について、図1を参照しながら説明する。

【0033】P1、P2、N1及びN2では、P1及びN1の接続点とP2及びN2の接続点とに与えられた、互いに相補の関係にある論理が保持される。

【0034】ここで、ワード線WLに“H”レベルが与えられた場合、N3及びN4がオンするので、ビット線対BL及びBL／にデータが与えられたときは、ビット線BLとBL／とに与えられた相補関係の論理がそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに

与えられて保持される。一方、ビット線対BL及びBL／にデータが与えられないときは、P1及びN1の接続点とP2及びN2の接続点とに保持された論理がそれぞれ、ビット線BLとBL／とに与えられる。

【0035】また、ワード線WLが“L”レベルの状態では、ビット線対BL及びBL／に検索データが与えられた場合には、ビット線BLとBL／とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しないときは、マッチ線MLAが“L”レベルになる。一方、ビット線BLとBL／とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致するときは、予めマッチ線MLAが“H”レベルであれば、マッチ線MLは“H”レベルのまま保持される。

【0036】なお、ワード線WLが“L”レベルの状態では検索データ線対RB及びRB／に検索データが与えられた場合も、又は、ワード線WLが“L”レベルの状態では検索データ線対RC及びRC／に検索データが与えられた場合も、対応するマッチ線MLB又はMLCが異なるが、同様の動作が行われることになる。

【0037】このような動作によって、ビット線対BL及びBL／と検索データ線対RB及びRB／と検索データ線対RC及びRC／とにそれぞれ与えられた3種類の検索データが、P1、P2、N1及びN2に保持されたデータと一致するか否かが、一度に検索することができ、これらの検索結果が、マッチ線MLA、MLB、MLCにそれぞれ出力されることになる。但し、この実施形態では、前述したように、各マッチ線が、“H”レベルであれば一致を、“L”レベルであれば不一致を表すものとする。

【0038】なお、この実施形態では、検索データ線対が2対(RB及びRB／とRC及びRC／)のものを示したが、2対に限定することなくn対のものであっても勿論良い。但し、この場合は、追加構成される検索データ線対それぞれに対し、3個のNチャンネルMOS型FETを同様に接続構成する必要がある。

【0039】(A-3) 効果の説明

以上のように、第1の実施形態によれば、(1)2対の検索データ線対RB及びRB／、RC及びRC／と、

(2)この2対の検索データ線対に与えられた検索データがそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに保持されたデータと一致するか否かを検索するN21～N23及びN31～N33と、(3)この検索結果を出力するマッチ線MLB及びMLCを有するので、3種類の検索データを一度に検索することができるようになる。

【0040】(B) 第2の実施形態

以下、本発明による連想メモリセルの第2の実施形態について、図面を参照しながら詳述する。

【0041】(B-1) 構成の説明

10

20

30

40

50

図7は、第2の実施形態の連想メモリセルの構成を示した回路図である。図7において、この連想メモリセルは、PチャネルMOS型FET P1及びP2と、NチャネルMOS型FET N1～N4、N41～N44、N51～N54及びN61～N64とを有する。

【0042】まず、各構成要素の接続関係について説明する。P1及びP2のソースは“H”レベルを供給する電源に接続され、N1及びN2のソースは“L”レベルを供給するグラウンドに接続され、P1のドレインはN1のドレインに接続され、P2のドレインはN2のドレインに接続される。

【0043】また、P1及びN1の接続点は、N3のドレインに接続されると共に、P2、N2、N42、N52及びN62のゲートに接続される。一方、P2及びN2の接続点は、N4のドレインに接続されると共に、P1、N1、N41、N51及びN61のゲートに接続される。

【0044】さらに、N3及びN4のゲートはワード線WLに接続され、N3のソースはビット線BLに接続され、N4のソースはビット線BL／に接続される。ビット線対BL及びBL／の間には、ビット線BL側から、N43のゲート及びソース、N41のドレイン及びソース、グラウンド、N42のソース及びドレイン、N44のソース及びゲートが接続され、検索データ線対RB及びRB／の間には、検索データ線RB側から、N53のゲート及びソース、N51のドレイン及びソース、グラウンド、N52のソース及びドレイン、N54のソース及びゲートが接続され、検索データ線対RC及びRC／の間には、検索データ線RC側から、N63のゲート及びソース、N61のドレイン及びソース、グラウンド、N62のソース及びドレイン、N64のソース及びゲートが接続される。

【0045】さらにまた、N43及びN44のドレインがマッチ線MLAに接続され、N53及びN54のドレインがマッチ線MLBに接続され、N63及びN64のドレインがマッチ線MLCに接続される。

【0046】ここでさらに、このように接続された各構成要素が有する機能について説明する。なお、図7において、図1に示した第1の実施形態と対応する構成部分は、同一の符号を付して示している。従って、その構成部分は上述した通りであり、説明を省略する。以下、第1の実施形態と対応しない構成部分について説明する。

【0047】N41～N44は、ビット線BLとBL／とに与えられた論理がそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しない場合、オンするN41又はN42に接続されたN43又はN44が、ビット線BL又はBL／からそのゲートに“H”レベルが与えられてオンし、マッチ線MLAを“L”レベルにするものである。一方、ビット線BLとBL／とに与えられた論理がそれぞれ、P1及びN1の接

続点とP2及びN2の接続点とに保持された論理と一致する場合には、オンするN41又はN42に接続されたN43又はN44が、ビット線BL又はBL／からそのゲートに“L”レベルが与えられてオフし、予めマッチ線MLAに“H”レベルが与えられていれば、マッチ線MLAを“H”レベルのまま保持するものである。なお、ビット線対BL及びBL／の双方に“L”レベルが与えられたときには、N43及びN44がどちらもオフするので、マッチ線MLAは“H”レベルのまま保持される。

【0048】なお、N51～N54も、対応接続する検索データ線対RB及びRB／とマッチ線MLBとが異なる以外は、N41～N44と同様の機能を有するものであり、また、N61～N64も、対応接続する検索データ線対RC及びRC／とマッチ線MLCとが異なる以外は、N41～N44と同様の機能を有するものである。

【0049】(B-2) 動作の説明

次に、上述した構成を有する第2の実施形態の連想メモリセルの動作について、図7を参照しながら説明する。

【0050】P1、P2、N1及びN2では、P1及びN1の接続点とP2及びN2の接続点とに与えられた、互いに相補の関係にある論理が保持される。

【0051】ここで、ワード線WLに“H”レベルが与えられた場合、N3及びN4がオンするので、ビット線対BL及びBL／にデータが与えられたときは、ビット線BLとBL／とに与えられた相補関係の論理がそれぞれ、P1及びN1の接続点とP2及びN2の接続点とに与えられて保持される。一方、ビット線対BL及びBL／にデータが与えられないときは、P1及びN1の接続点とP2及びN2の接続点とに保持された論理がそれぞれ、ビット線BLとBL／とに与えられる。

【0052】また、ワード線WLが“L”レベルの状態では、ビット線対BL及びBL／に検索データが与えられた場合には、ビット線BLとBL／とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しないときは、マッチ線MLAが“L”レベルになる。一方、ビット線BLとBL／とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致するときは、予めマッチ線MLAが“H”レベルであれば、マッチ線MLは“H”レベルのまま保持される。

【0053】なお、ワード線WLが“L”レベルの状態では検索データ線対RB及びRB／に検索データが与えられた場合も、又は、ワード線WLが“L”レベルの状態では検索データ線対RC及びRC／に検索データが与えられた場合も、対応するマッチ線MLB又はMLCが異なるが、同様の動作が行われることになる。

【0054】このような動作によって、ビット線対BL及びBL／と検索データ線対RB及びRB／と検索データ線対RC及びRC／とにそれぞれ与えられた3種類の検索データが、P1、P2、N1及びN2に保持された

データと一致するかが、一度に検索することができ、これらの検索結果が、マッチ線MLA、MLB、MLCにそれぞれ出力されることになる。但し、この実施形態では、前述したように、各マッチ線が、 H レベルであれば一致を、 L レベルであれば不一致を表すものとする。

【0055】なお、この実施形態では、検索データ線対が2対(RB及びRB/とRC及びRC/)のものを示したが、2対に限定することなくn対のものであっても勿論良い。但し、この場合は、追加構成される検索データ線対それぞれに対し、3個のNチャンネルMOS型FETを同様に接続構成する必要がある。

【0056】(B-3) 効果の説明

以上のように、第2の実施形態によれば、第1の実施形態のN11~N13、N21~N23、N31~N33の代わりに、同様の機能を有するN41~N44、N51~N54、N61~N64を設けたので、異なる接続構成で、第1の実施形態と同様の効果が得られる。

【0057】(C) 第3の実施形態

以下、本発明による連想メモリセルの第3の実施形態について、図面を参照しながら詳述する。

【0058】(C-1) 構成の説明

図8は、第3の実施形態の連想メモリセルの構成を示した回路図である。図8において、この連想メモリセルは、PチャンネルMOS型FET P1及びP2と、NチャンネルMOS型FET N1~N4、N11~N13、N71、N72、N81及びN82とを有する。

【0059】まず、各構成要素の接続関係について説明する。P1及びP2のソースは H レベルを供給する電源に接続され、N1及びN2のソースは L レベルを供給するグラウンドに接続され、P1のドレインはN1のドレインに接続され、P2のドレインはN2のドレインに接続される。

【0060】また、P1及びN1の接続点は、N3のドレインに接続されると共に、P2、N2及びN12のゲートに接続される。P2及びN2の接続点は、N4のドレインに接続されると共に、P1、N1及びN11のゲートに接続される。

【0061】さらに、N3及びN4のゲートはワード線WLに接続され、N3のソースはビット線BLに接続され、N4のソースはビット線BL/に接続される。ビット線対BL及びBL/の間には、ビット線BL側から、N11のソース及びドレイン、N12のドレイン及びソースが接続される。ここで、N11及びN12の接続点は、N13、N71及びN81のゲートに接続される。

【0062】さらにまた、N13は、そのドレインがマッチ線MLAに、そのソースがグラウンドに接続される。マッチ線MLBとグラウンドとの間には、マッチ線MLB側から、N71のドレイン及びソース、N72のドレイン及びソースが接続され、マッチ線MLCとグラ

ウンドとの間には、マッチ線MLC側から、N81のドレイン及びソース、N82のドレイン及びソースが接続される。N72のゲートはマスク設定信号線MB/が接続され、N82のゲートはマスク設定信号線MC/が接続される。

【0063】ここでさらに、このように接続された各構成要素が有する機能について説明する。なお、図8において、図1に示した第1の実施形態と対応する構成部分は、同一の符号を付して示している。従って、その構成部分は上述した通りであり、説明を省略する。以下、第1の実施形態と対応しない構成部分について説明する。

【0064】N71及びN72は、N11及びN12の接続点の論理(一致判定結果)を重複して取り出し、マスク設定信号線MB/また与えられたマスク設定情報に基づき、この取り出した論理(一致判定結果)を出力又は出力停止するものである。すなわち、N11及びN12の接続点が H レベル、及び、マスク設定信号線MB/が H レベルである場合、N71及びN72の双方がオンし、マッチ線MLBを L レベルにするものである。また、N11及びN12の接続点が L レベル、及び又は、マスク設定信号線MB/が L レベルである場合、N71及び又はN72がオフし、予めマッチ線MLBに H レベルが与えられていれば、マッチ線MLBを H レベルのまま保持するものである。

【0065】なお、N81及びN82も、対応接続するマスク設定信号線MC/が異なる以外は、N71及びN72と同様の機能を有するものである。

【0066】(C-2) 動作の説明

次に、上述した構成を有する第3の実施形態の連想メモリセルの動作について、上記各実施形態と異なる点を中心に、図8を参照しながら説明する。

【0067】ビット線対BL及びBL/に与えた検索データを検索対象とするか(ケアするか)検索対象から除外するか(マスクするか)の情報が、マスク設定信号線MB/とMC/とに与えられる。なお、この実施形態では、ケアする場合は H レベルが、マスクする場合は L レベルが与えることになる。

【0068】ここで、ワード線WLが L レベルの状態、ビット線対BL及びBL/に検索データが与えられた場合には、ビット線BLとBL/とに与えられた論理がP1及びN1の接続点とP2及びN2の接続点とに保持された論理と一致しないときは、マッチ線MLAが L レベルになるが、マスク設定信号線MB/が L レベルであれば、N72がオフ状態であるので、マッチ線MLBは H レベルのまま保持される。すなわち、ビット線対BL及びBL/に与えられたデータが一致しなくてもマッチ線MLBは H レベルのまま保持されるので、このビット線対BL及びBL/に与えられたデータは、検索対象から除外された(マスクされた)ことになる。

【0069】また同様に、マスク設定信号MC/もL⁻レベルであれば、N82もオフ状態であるので、マッチ線MLCもH⁻レベルのまま保持され、すなわち、検索対象から除外されることになる。

【0070】なお、この実施形態では、マスク設定信号線が2線(MB/及びMC/)のものを示したが、2線に限定することなくn線のものであっても勿論良い。但し、この場合は、追加構成される検索データ線対それぞれに対し、2個のNチャネルMOS型FETを同様に接続構成する必要がある。

【0071】(C-3) 効果の説明

以上のように、第3の実施形態によれば、(1)2線のマスク設定信号線MB/及びMC/と、(2)この2線のマスク設定信号線に与えられたマスク設定情報に基づき、ビット線対BL及びBL/に与えられた検索データをマスクするN71及びN72、N81及びN82と、(3)このマスクした検索結果を出力するマッチ線MLB及びMLCとを有するので、2種類のマスク設定情報に基づく検出結果を一度に得ることができるようになる。

【0072】(D) 第4の実施形態

以下、本発明による連想メモリセルの第4の実施形態について、図面を参照しながら詳述する。

【0073】図9は、第4の実施形態の連想メモリセルの構成を示した回路図である。図9において、この連想メモリセルは、PチャネルMOS型FET P1及びP2と、NチャネルMOS型FET N1~N4、N11、N12、N71、N72、N81、N82、N91及びN92とを有する。

【0074】この実施形態の構成要素の接続関係については、第3の実施形態の接続関係において、N13を取り除き、さらに、マッチ線MLAとグラウンドとの間に、マッチ線MLA側から、N91のドレイン及びソース、N92のドレイン及びソースが接続され、N91のゲートがN11及びN12の接続点に接続され、N92のゲートがマスク設定信号線MA/に接続されている。

【0075】なお、図9において、図8に示した第3の実施形態と対応する構成部分は、同一の符号を付して示している。従って、その構成部分は上述した通りであり、説明を省略する。以下、第3の実施形態と対応しないN91及びN92について説明する。

【0076】N91及びN92は、N11及びN12の接続点がH⁻レベル、及び、マスク設定信号線MB/がH⁻レベルである場合、N91及びN92の双方がオンし、マッチ線MLAをL⁻レベルにするものである。また、N11及びN12の接続点がL⁻レベル、及び又は、マスク設定信号線MB/がL⁻レベルである場合、N91及び又はN92がオフし、予めマッチ線MLBにH⁻レベルが与えられていれば、マッチ線MLBをH⁻レベルのまま保持するものである。

【0077】次に、上述した構成を有する第4の実施形態の連想メモリセルの動作について、第3の実施形態とは異なる点を中心に、図9を参照しながらごく簡単に説明する。

【0078】この実施形態の連想メモリセルでは、マッチ線MLAもさらに、ケアするかマスクするかの設定をすることができる。

【0079】すなわち、マッチ線MLAに対し、ケアするかマスクするかマスク設定情報(但し、この実施形態の場合、ケアする場合はH⁻レベル、マスクする場合はL⁻レベル)をマスク設定信号線MA/に与えることによって、ビット線対BL及びBL/に与えられた検索データが、ケア又はマスクされることになる。

【0080】以上のように、第4の実施形態によれば、第3の実施形態において、(1)N13を取り除き、さらに、(2)マスク設定信号線MA/と、(3)このマスク設定信号線MA/に与えられたマスク設定情報に基づき、ビット線対BL及びBL/に与えられた検索データを検索対象から除外して、検出結果をマッチ線MLAに出力するN91及びN92とを有するので、マッチ線MLAに対してもマスクした検出結果を出力することができるようになる。

【0081】例えば、マッチ線MLA、MLB、MLCの順に既に優先度を持たせてある場合、上記第3の実施形態では、マッチ線MLAの検出結果は全くマスクされていない基本パターンのものとなり最も優先度が高いものとなるが、第4の実施形態では、全てのマッチ線MLA~MLCに対してマスク設定信号線MA/、MB/、MC/で任意にマスクを設定することができるので、どのマッチ線でどの優先順位のを出力するかを任意に設定できるようになる。

【0082】(E) 第5の実施形態

以下、本発明による連想メモリセルの第5の実施形態について、図面を参照しながら詳述する。

【0083】図10は、第5の実施形態の連想メモリセルの構成を示した回路図である。図10において、この連想メモリセルは、PチャネルMOS型FET P1及びP2と、NチャネルMOS型FET N1~N4、N11~N13、N31~N33、N71、N72とを有する。

【0084】この第5の実施形態の連想メモリセルは、上記第1及び第3の実施形態を部分的に組み合わせた構成を有するものである。従って、各構成要素及びその接続関係については、第1及び第3の実施形態で説明した通りであり、ここでの説明は省略する。なお、図10において、図1及び図8に示した第1及び第3の実施形態と対応する構成部分は、同一の符号を付して示している。

【0085】したがって、この第5の実施形態の連想メモリセルの動作について、ごく簡単に説明する。

【0086】ビット線対BL及びBL/と検索データ線対RC及びRC/とに与えられた検索データがそれぞれ、保持されたデータと一致するか否かが検索されてマッチ線MLAとMLCとに出力される。

【0087】一方、マスク設定信号線MB/には、ビット線対BL及びBL/に与えられた検索データをケアするかマスクするかをマスク設定情報が与えられ、マッチ線MLBには、このマスク設定情報に基づく検索結果が出力されることになる。

【0088】以上のように、第5の実施形態によれば、上記第1及び第3の実施形態と同様の効果が得られると共に、複数の検索データの一部に対して任意にマスクした検索結果を、一度の検索で得ることができるようになる。

【0089】(F) 第6の実施形態

以下、本発明による連想メモリセルの第6の実施形態について、図面を参照しながら詳述する。

【0090】図11は、第6の実施形態の連想メモリセルの構成を示した回路図である。図10において、この連想メモリセルは、PチャネルMOS型FET P1及びP2と、NチャネルMOS型FET N1~N4、N11、N12、N31~N33、N61~N64、N71、N72、N91及びN92とを有する。

【0091】この第6の実施形態の連想メモリセルは、上記第2及び第4の実施形態を部分的に組み合わせた構成を有するものである。従って、各構成要素及びその接続関係については、第2及び第4の実施形態で説明した通りであり、ここでの説明は省略する。なお、図11において、図7及び図9に示した第2及び第4の実施形態と対応する構成部分は、同一の符号を付して示している。

【0092】したがって、この第6の実施形態の連想メモリセルの動作について、ごく簡単に説明する。

【0093】ビット線対BL及びBL/と検索データ線対RC及びRC/とに与えられた検索データがそれぞれ、保持されたデータと一致するか否かが検索されてマッチ線MLAとMLCとに出力される。

【0094】一方、マスク設定信号線MA/とMB/にはそれぞれ、ビット線対BL及びBL/に与えられた信号をケアするかマスクするかをマスク設定情報が与えられ、マッチ線MLAとMLBにはそれぞれ、これらのマスク設定情報に基づく検索結果が出力されることになる。

【0095】以上のように、第6の実施形態によれば、上記第2及び第4の実施形態と同様の効果が得られると共に、複数の検索データの全部に対して任意にマスクした検索結果を、一度の検索で得ることができるようになる。

【0096】(G) 第7の実施形態

以下、本発明による連想メモリセル及び連想メモリの第

7の実施形態について、図面を参照しながら詳述する。

【0097】(G-1) 構成の説明

図12は、第7の実施形態の連想メモリの構成を示した回路図である。図12において、この連想メモリは、 $m+1$ 本のワード線WL[0~m]と $n+1$ 対のビット線対BL[0~n]及びBL/[0~n]とでマトリクス状にアドレス付けされた、上記第1~第6の実施形態のいずれかに記載の $(m+1) \times (n+1)$ 個の連想メモリセル[00~mn]からなる。さらに、この実施形態では、周辺回路として、プライオリティエンコーダと多重一致検出回路と不一致検出回路とで構成された機能ブロックPA~PCを有する。なお、図11においては、表記上、3対のビット線対BL[0~2]及びBL/[0~2]と4本のワード線WL[0~3]との構成部分のみを記載している。

【0098】まず、各構成要素の接続関係について説明する。ワード線[a]とビット線対BL[b]及びBL/[b]とには、連想メモリセル[ab]が接続される。また、連想メモリセル[a0~an]のマッチ線MLAは全てマッチ線MLA[a]に接続され、そのマッチ線MLBは全てマッチ線MLB[a]に接続され、そのマッチ線MLCは全てマッチ線MLC[a]に接続される。但し、aは0~mの任意の整数であり、bは0~nの任意の整数であり、以下同様を用いる。

【0099】また、マッチ線MLA[0~m]は機能ブロックPAに接続され、マッチ線MLB[0~m]は機能ブロックPBに接続され、マッチ線MLC[0~m]は機能ブロックPCに接続される。

【0100】次に、このように接続された各構成要素が有する機能について説明する。

【0101】連想メモリは、ビット線対BL[0~n]及びBL/[0~n]に与えられたデータ列を、任意のワード線WL[a]に接続された連想メモリセル[a0~an]に保持し、また逆に、任意のワード線WL[a]の連想メモリセル[a0~an]に保持されたデータ列をビット線対BL[0~n]及びBL/[0~n]に出力するものである。さらに、この連想メモリは、ビット線対[0~n]及びBL/[0~n]に与えられた検索データ列が、任意のワード線[a]の連想メモリセル[a0~an]に保持されたデータ列と一致するか否かを、上記各実施形態でも述べたように複数の検索データ列や複数のマスク設定情報に基づいて検索し、この検索結果を優先順位別にそれぞれマッチ線MLA[0~m]とマッチ線MLB[0~m]とマッチ線MLC[0~m]とに同時に出力するものである。

【0102】機能ブロックPAは、マッチ線MLA[0~m]から与えられた検索結果に基づき、その一致したデータのアドレスをバイナリで検出信号線AAに出力する機能、同時に多重一致したか否かを検出信号線MMAに出力する機能、全て不一致か否かを検出信号線NMA

に出力する機能を有する。

【0103】なお、機能ブロックPBも、対応接続するマッチ線MLB[0~m]と検出信号線AB、MMB、NMBが異なる以外は、機能ブロックPAと同様の機能を有するものであり、機能ブロックPCも、対応接続するマッチ線MLC[0~m]と検出信号線AC、MMC、NMCが異なる以外は、機能ブロックPAと同様の機能を有するものである。

【0104】すなわち、この実施形態では、連想メモリから出力される検出信号の優先順位別にそれぞれ、機能

ブロックPA~PCが設けられている。

【0105】(G-2) 動作の説明
次に、上述した構成を有する第7の実施形態の連想メモリの動作について、図12を参照しながら説明する。

【0106】連想メモリセル[00~mn]にはそれぞれ、相補関係の論理が保持される。

【0107】ここで、任意の1本のワード線WL[a]に"H"レベル、その他に"L"レベルが与えられた場合、ビット線対BL[0~n]及びBL/[0~n]にデータ列が与えられたときには、ビット線BL[0~n]とBL/[0~n]とに与えられた相補関係の論理がそれぞれ、連想メモリセル[a0~an]に保持される。一方、ビット線対BL[0~n]及びBL/[0~n]にデータ列が与えられないときには、連想メモリセル[a0~an]に保持された相補関係の信号が、ビット線BL[0~n]とBL/[0~n]とに与えられて、データ列が出力される。

【0108】また、ワード線WL[0~m]が全て"L"レベルの状態、ビット線対BL[0~n]及びBL/[0~n]に検索データ列が与えられた場合には、ビット線BL[0~n]とBL/[0~n]とに与えられた論理列が、任意のワードの連想メモリセル[a0~an]に保持された論理列と一致するか否かが、複数の検索データや複数のマスク設定情報に基づいて検索されて、この検索結果が優先順位別にそれぞれマッチ線MLA[0~m]とMLB[0~m]とMLC[0~m]とに出力される。

【0109】機能ブロックPAでは、マッチ線MLA[0~m]から与えられた検索結果に基づき、一致が全くない場合には不一致信号が検出信号線NMAに出力され、同時に多重一致した場合には多重一致信号が検出信号線MMAに出力される。また、一致した場合にはその一致した相補の信号が保持されているアドレスが検出信号線AAに出力される。但し、一致したデータが同時に2以上あった場合には、予め定められた規則でこのうちの1つのアドレスが出力されることになる。

【0110】なお、機能ブロックPBでも、対応接続するマッチ線MLB[0~m]と検出信号線AB、MMB、NMBが異なる以外は、機能ブロックPAと同様の動作が行われ、また、機能ブロックPCでも、対応接続

するマッチ線MLC[0~m]と検出信号線AC、MMC、NMCが異なる以外は、機能ブロックPAと同様の動作が行われる。

【0111】このような動作により、上記各実施形態で示した連想メモリセルで構成された連想メモリが、複数の検索データ列や複数のマスク設定情報に基づいて、優先順位別に同時に出力する検索結果を、周辺回路において、スムーズに処理（一致するデータ列は登録されていたか、登録されていればどのアドレスに登録されていたか、2つ以上のアドレスに登録されていたか等）することができるようになる。

【0112】なお、この実施形態では、連想メモリからの検索信号の優先順位が3つのものを示したが、3つに限定することなくnのものであっても勿論良い。但し、この場合は、追加構成される優先順位それぞれに対し、機能ブロックを同様に接続構成する必要がある。

【0113】(G-3) 効果の説明

以上のように、第7の実施形態によれば、(1)m+1本のワード線WL[0~m]とn+1対のビット線対BL[0~n]及びBL/[0~n]とでマトリクス状にアドレス付けされた、上記第1~第6の実施形態のいずれかに記載の(m+1)*(n+1)個の連想メモリセル[00~mn]でなる連想メモリと、(2)この連想メモリから出力される検出結果の優先順位別にそれぞれ設けられ、与えられた同優先順位の検出結果に基づき、一致したデータを保持するアドレスを出力すると共に、多重一致したか否か全て不一致か否かを検出する機能ブロックPA~PCとを有するので、上記各実施形態で示した連想メモリセルで構成された連想メモリが、複数の検索データ列や複数のマスク設定情報に基づいて、優先順位別に同時に出力する検索結果を、周辺回路において、スムーズに処理することができるようになる。

【0114】(H) 第8の実施形態

以下、本発明による連想メモリセル及び連想メモリの第8の実施形態について、図面を参照しながら詳述する。

【0115】上記第7の実施形態では、連想メモリから出力される検索結果の優先順位別にそれぞれ機能ブロックPA~PCを設けたものを示したが、実際に処理対象となるものの多くは、一致を検出した検索結果の中で最も優先順位高いものだけであり、全ての優先順位に対して処理を行う必要はない。すなわち、第8の実施形態では、一致を検出した検索結果の中で最も優先順位の高い検索結果のみを選定する手段を有し、この選定した検索結果に対する機能ブロック（但し、この実施形態では、プライオリティエンコーダと一致パターン検出回路とに分離して記載している）のみを有するものを示す。

【0116】(H-1) 構成の説明

図13は、第8の実施形態の連想メモリの構成を示した回路図である。図13において、この連想メモリも、上記第7の実施形態と同様に、図示は省略しているが、m

+1本のワード線と $n+1$ 対のビット線対とでマトリクス状にアドレス付けされた、上記第1～第6の実施形態のいずれかに記載の $(m+1) \times (n+1)$ 個の連想メモリセル[00～mn]からなる。さらに、この実施形態では、周辺回路として、不一致検出回路NDA～NDCと、 $m+1$ 個のセクタS0～Smと、プライオリティエンコーダPEと、一致パターン検出回路MPCとを有する。なお、図13においては、表記上、4本のワード線[0～3]に対応するマッチ線部分の構成のみを記載している。

【0117】まず、各構成要素の接続関係について説明する。なお、連想メモリについては上記第7の実施形態と同様である。連想メモリのマッチ線MLA[0～m]はそれぞれ不一致検出回路NDAを介してセクタS0～Smに接続され、マッチ線MLB[0～m]はそれぞれ不一致検出回路NDBを介してセクタS0～Smに接続され、マッチ線MLC[0～m]はそれぞれ不一致検出回路NDCを介してセクタS0～Smに接続される。また、不一致検出回路NDA～NDCの検出信号線NMA～NMCは各セクタS0～Smと一致パターン検出回路MPCとに接続される。さらに、セクタS0～SmはプライオリティエンコーダPEに接続される。

【0118】次に、このように接続された各構成要素が有する機能について説明する。なお、連想メモリについては上記第7の実施形態と同様であり、説明を省略する。

【0119】不一致検出回路NDAは、マッチ線MLA[0～m]から与えられた検索結果に基づき、全て一致しない場合に不一致を検出し、不一致検出信号を検出信号線NMAに出力するものである。なお、不一致検出回路NDB及びNDCも、対応するマッチ線MLB[0～m]及びMLC[0～m]と検出信号線NMB及びNMCが異なる以外は、不一致回路NDAと同様のものである。

【0120】セクタS0～Smは、不一致検出回路NDA～NDCがそれぞれ出力した不一致検出信号に基づき、連想メモリから出力された検索結果のうち、一致を検出したものの中で最も優先順位の高い検索結果を選定し、この選定した検索結果のみをプライオリティエンコーダに与えるものである。

【0121】プライオリティエンコーダPEは、セクタS0～Smで選定された検索結果に基づき、一致したデータのアドレスをバイナリで検出信号線A0に出力するものである。ここで、一致したデータが同時に2以上あった場合には、予め定められた規則でこのうちの1つのアドレスが出力されることになる。

【0122】一致パターン検出回路MPOは、不一致検出回路NDA～NDCがそれぞれ出力した不一致検出信号に基づき、プライオリティエンコーダPEに出力された検出結果の優先順位を示すバイナリコードを検出信号

線MPに出力するものである。

【0123】(H-2) 動作の説明

次に、上述した構成を有する第8の実施形態の連想メモリの動作について、第7の実施形態と異なる点を中心に、図13を参照しながら説明する。

【0124】連想メモリでは、与えられた検索データ列が、任意のワード線の連想メモリセルに保持されたデータ列と一致するか否かが、複数の検索データや複数のマスク設定情報に基づいて検索され、この検索結果が優先順位別にそれぞれマッチ線MLA[0～m]とMLB[0～m]とMLC[0～m]に出力される。なお、この実施形態では、マッチ線MLA[0～m]に出力される検索結果が最も優先順位が高く、後は、マッチ線MLB[0～m]、MLC[0～m]の順に低くなるものとする。

【0125】不一致検出回路NDAでは、マッチ線MLA[0～m]から与えられた検索結果に基づき、全て一致しない場合に不一致が検出され、不一致検出信号が検出信号線NMAに出力される。なお、この実施形態では、不一致を検出したときには検出信号線NMAに“H”レベルが、1以上の一致を検出したときには検出信号線NMAに“L”レベルが出力される。また、不一致検出回路NDB及びNDCでも、マッチ線MLB[0～m]及びMLC[0～m]に対し、同様に不一致検出信号が検出信号線NMB及びNMCに出力される。

【0126】ここで、セクタS0～Smでは、不一致検出回路NDA～NDCがそれぞれ出力した不一致検出信号に基づき、連想メモリから出力された検索結果のうち、一致を検出したものの中で最も優先順位の高い検索結果が選定され、この選定された検索結果のみがプライオリティエンコーダに与えられる。

【0127】プライオリティエンコーダPEでは、セクタS0～Smで選定された検索結果に基づき、一致したデータのアドレスがバイナリで検出信号線A0に出力され、一致パターン検出回路MPOでは、不一致検出回路NDA～NDCがそれぞれ出力した不一致検出信号に基づき、プライオリティエンコーダPEに出力された検出結果の優先順位を示すバイナリコードが検出信号線MPに出力されることになる。

【0128】さらに、図14はセクタS0～Snの任意の1つの詳細構成を示した回路図であり、図15はその詳細構成で生成されるセレクト信号の論理と一致パターン検出回路MPOから出力されるバイナリコードを示したものである。なお、図14においては、上述した“H”レベルを“1”として、“L”レベルを“0”として示している。また、“X”は“H”レベルでも“L”レベルでもどちらでも良い場合を示している。

【0129】図14において、セクタは、トランスファゲートN201～N203と、図示は省略するがセレクト信号生成部とを有する。

【0130】セレクト信号生成部では、不一致検出回路 NDA~NDC がそれぞれ出力した不一致検出信号に基づき、図 15 に示す論理を満たすようにセレクト信号 SA~SC が生成されて、トランスファゲート N201~N203 に与えられる。

【0131】一方、トランスファゲート N201~N203 ではそれぞれ、与えられたセレクト信号が「H」レベルのときには両端子間を導通させ、一方、与えられたセレクト信号が「L」レベルのときには両端子間を導通させない。

【0132】すなわち、このような動作により、不一致検出回路 NDA が不一致を検出しない（「L」レベル）場合、すなわち、最も優先順位の高い検索結果に一致が存在する場合、他の不一致検出回路 NDB 及び NDC の検出によらずトランスファゲート N201 が導通してマッチ線 MLA [a] と ML [a] とが導通し、マッチ線 MLA [0~m] から出力される検索結果がプライオリティエンコード PE に与えられることになる。

【0133】また、不一致検出回路 NDA が不一致を検出し（「H」レベル）、不一致検出回路 NDB が不一致を検出しない（「L」レベル）場合は、すなわち、最も優先順位の高い検索結果に一致が存在せず、次に優先順位の高い検索結果に一致が存在した場合は、不一致検出回路 NDC の検出によらずトランスファゲート N202 が導通してマッチ線 MLB [a] と ML [a] とが導通し、マッチ線 MLB [0~m] から出力される検索結果がプライオリティエンコード PE に与えられることになる。

【0134】さらに、不一致検出回路 NDA が不一致を検出し（「H」レベル）、不一致検出回路 NDB が不一致を検出し（「H」レベル）、不一致検出回路 NDC が不一致を検出しない（「L」レベル）場合は、すなわち、上位 2 つの優先順位の検索結果に一致が存在せず、最下位の優先順位の検索結果に一致が存在した場合は、トランスファゲート N203 が導通してマッチ線 MLC [a] と ML [a] とが導通し、マッチ線 MLC [0~m] から出力される検索結果がプライオリティエンコード PE に与えられることになる。

【0135】さらにまた、全ての不一致検出回路 NDA~NDC が不一致を検出した（「H」レベル）場合は、プライオリティエンコード PE には、検索結果は与えられないことになる。

【0136】なお、この実施形態でも、上記第 7 の実施形態と同様に優先順位が 3 つのものを示したが、3 つに限定することなく n のものであっても良いことは勿論である。但し、この場合は、追加構成される優先順位それぞれに対し、機能ブロックを同様に接続構成する必要がある。

【0137】（H-3） 効果の説明

以上のように、第 8 の実施形態によれば、（1）連想メモリから出力される検索結果に基づき、優先順位別にそ

れぞれ、全て一致しない場合に不一致を検出して不一致検出信号を出力する不一致検出回路 NDA~NDC と、

（2）この不一致検出回路 NDA~NDC がそれぞれ出力する不一致検出信号に基づき、連想メモリからの優先順位別の検索結果のうち、一致を検出したものの中で最も優先順位の高い検索結果のみを選定するセクタ S0~Sm とを有するので、上記第 7 の実施形態で優先順位別に設けた複数の機能ブロックを、1 つで実現することができ、トランジスタ等のハード量が大幅に削減できる。

【0138】（1）他の実施形態

なお、上記各実施形態で示した連想メモリセル又は連想メモリは、メッセージ単位での交換処理を行う装置に限らず、他の同様な装置にも適用できることは勿論である。

【0139】また、上記第 7 の実施形態では、周辺回路として、プライオリティエンコード、多重一致検出回路及び不一致検出回路の機能を有する機能ブロック PA~PC を示したが、この機能ブロック PA~PC は、これらの機能の一部を有するものであっても良く、また、これら以外の機能を有するものであっても良い。

【0140】さらに、上記第 8 の実施形態で示したプライオリティエンコード PE の代わりに、多重一致検出回路を適用しても良く、また、他の機能を有するものを適用しても良い。

【0141】さらにまた、上記第 3~6 の実施形態では、一致判定した結果を複数取り出し、この取り出した各一致判定結果をマスク設定情報に基づいて出力又は出力停止にするものを示したが、この一致判定した結果を複数取り出す構成部分のみであっても、本発明に適用できる。

【0142】

【発明の効果】以上のように、第 1 の本発明によれば、メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定する照合手段とを有する連想メモリセルにおいて、異なる検索データが与えられる複数の照合手段を有するので、複数の検索データに対し、メモリセルに保持されたデータとの一致を 1 回の検索で判定できるようになる。

【0143】また、第 2 の本発明によれば、メモリセルと、このメモリセルに保持されたデータと検索データとの一致を判定して出力する照合手段とを有する連想メモリセルにおいて、照合手段の判定結果を、重複して取り出す 1 以上の取出手段を有し、各取出手段は、マスク設定情報に基づいて、重複して取り出した上記照合手段の判定結果を出力又は出力停止にするので、複数のマスク設定情報に基づく、メモリセルに保持されたデータと検索データとの一致を 1 回の検索で判定できるようになる。

【0144】さらに、第 3 の本発明の連想メモリによれ

10

20

30

40

50

ば、複数のワード線と複数のビット線対によってマトリクス状にアドレス付けされた第1又は第2の本発明の複数の連想メモリセルを有し、各連想メモリセルから出力される一致判定信号を、複数のワード線に対応して設けられた複数のマッチ線に、検索データ列別及び又はマスク設定情報列別に出力するので、複数の検索データ列に対し、メモリセルに保持されたデータとの一致を1回の検索で判定できるように、又は、複数のマスク設定情報に基づく、メモリセルに保持されたデータと検索データとの一致を1回の検索で判定できるようになる。

【図面の簡単な説明】

【図1】第1の実施形態の連想メモリセルの構成を示す回路図である。

【図2】従来の連想メモリセルの構成を示す回路図である。

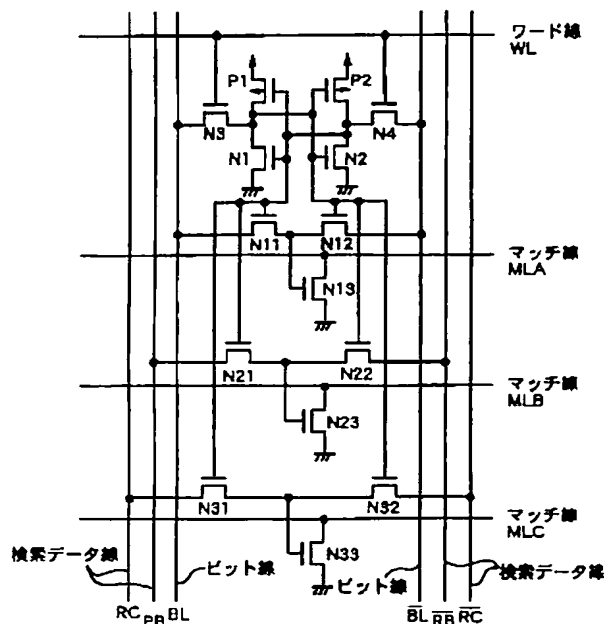
【図3】従来の連想メモリセルの構成を示す回路図である。

【図4】従来の連想メモリの構成を示すブロック図である。

【図5】従来の連想メモリを適用したアドレス変換装置の動作説明図である。

【図6】アドレス変換装置の第2の検索方法の説明図である。

【図1】



【図7】第2の実施形態の連想メモリセルの構成を示す回路図である。

【図8】第3の実施形態の連想メモリセルの構成を示す回路図である。

【図9】第4の実施形態の連想メモリセルの構成を示す回路図である。

【図10】第5の実施形態の連想メモリセルの構成を示す回路図である。

【図11】第6の実施形態の連想メモリセルの構成を示す回路図である。

【図12】第7の実施形態の連想メモリの構成を示すブロック図である。

【図13】第8の実施形態の連想メモリの構成を示すブロック図である。

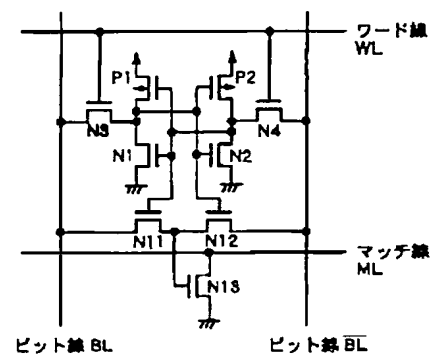
【図14】第8の実施形態のセクタの詳細構成を示す回路図である。

【図15】第8の実施形態のセクタと一致パターン検出回路の動作説明図である。

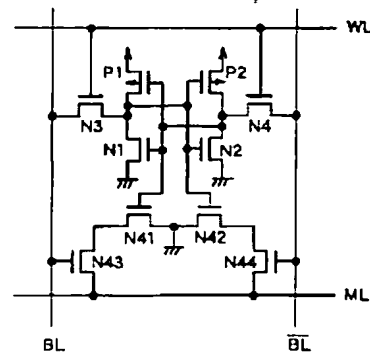
【符号の説明】

PB及びPB／、PC及びPC／…検索データ線対、P1、P2…PチャンネルMOS型FET、N1、N2、N21～N23、N31～N33…NチャンネルMOS型FET。

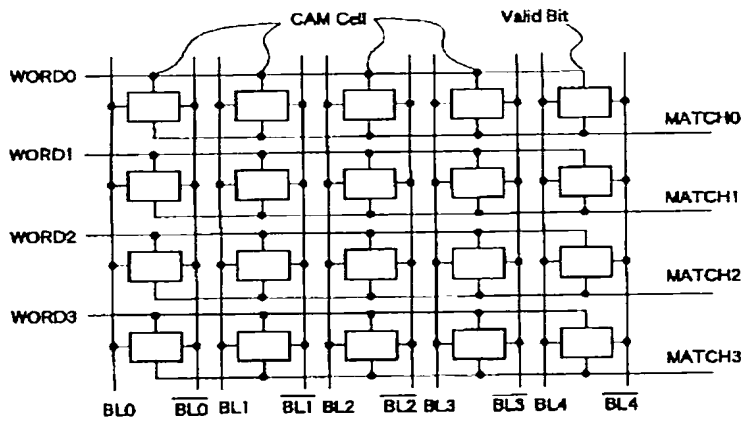
【図2】



【図3】



【図 4】

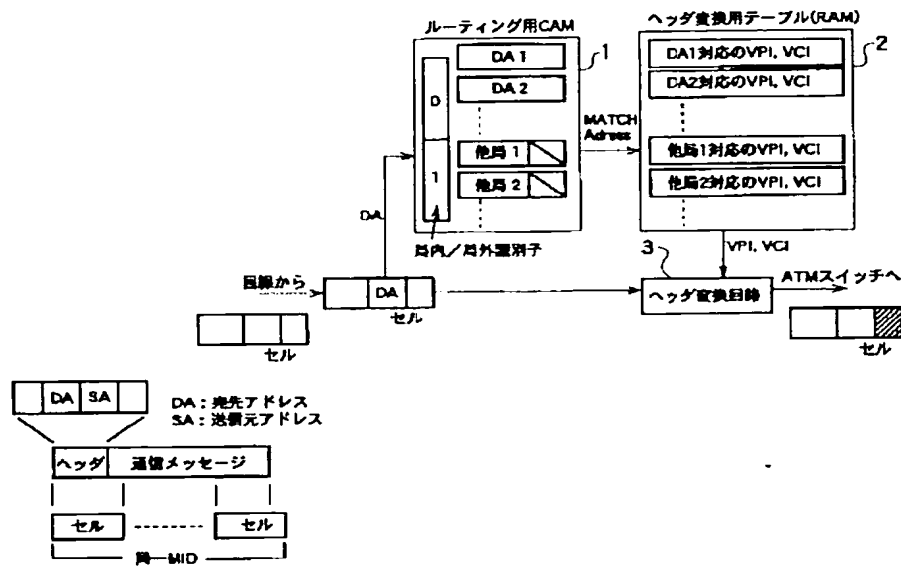


【図 6】

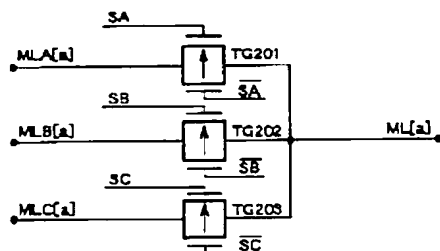
宛先アドレス (16進数)	0120-0301-F81A-1111
第1優先検索パターン	0120-0301-F81A-1111
第2優先検索パターン	0120-0301-F81A-XXXX
第3優先検索パターン	0120-XXXX-XXXX-XXXX
第4優先検索パターン	XXXX-0301-F81A-1111

(但し、「X」はマスクする部分を示す。)

【図 5】



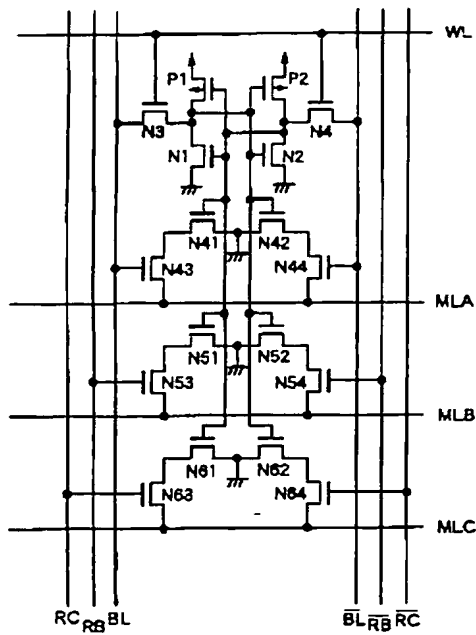
【図 14】



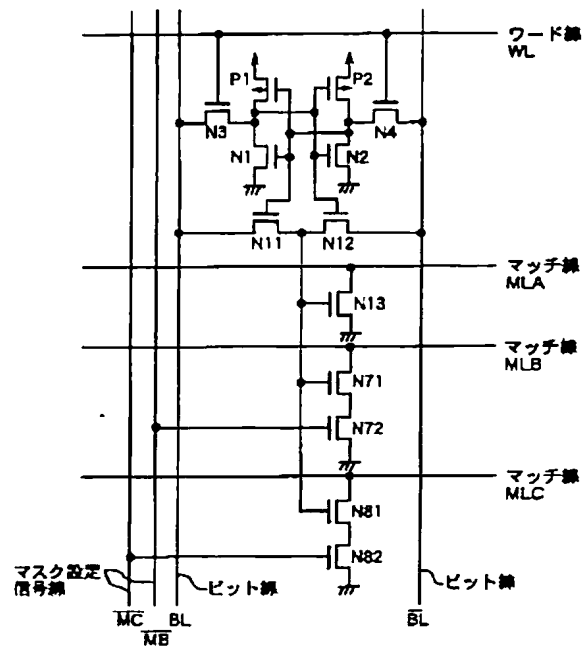
【図 15】

NMA	NMB	NMC	SA	SB	SC	MP[1:0]
0	X	X	1	0	0	01
1	0	X	0	1	0	10
1	1	0	0	0	1	11
0	0	0	0	0	0	00

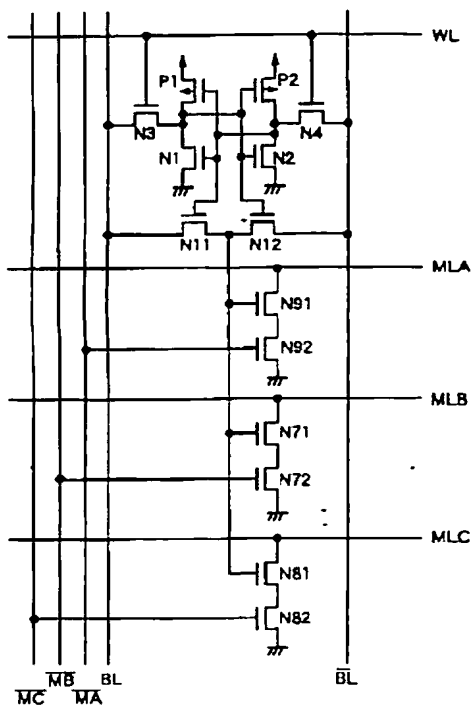
【図 7】



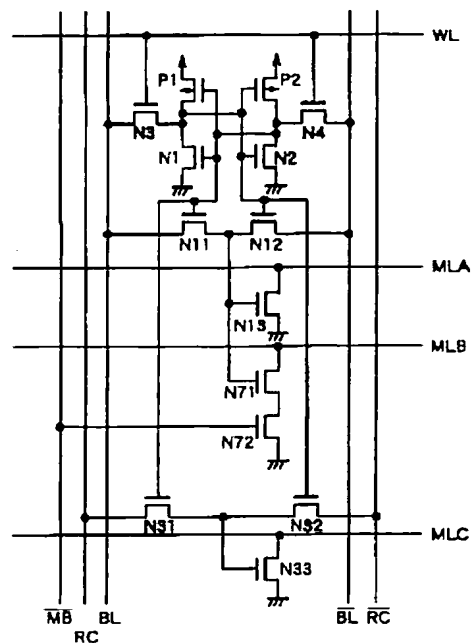
【図 8】



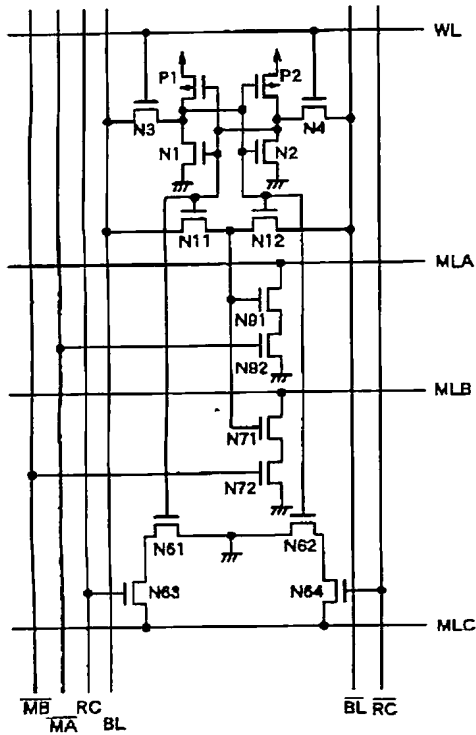
【図 9】



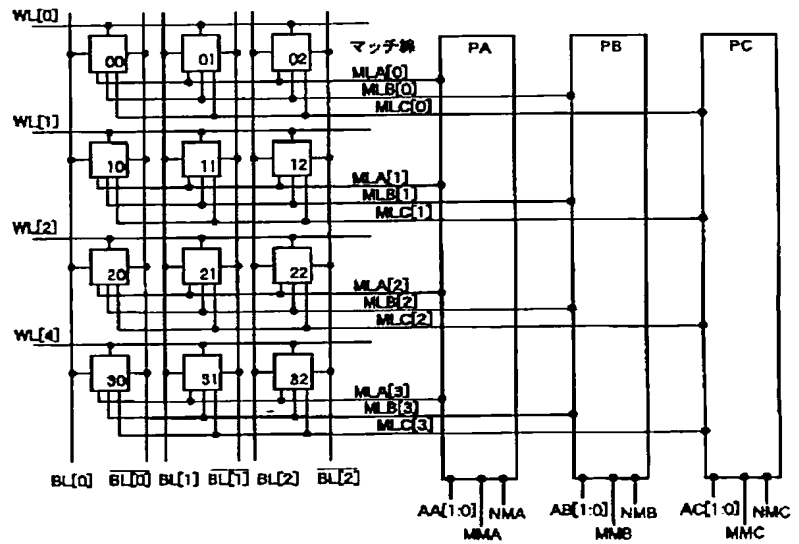
【図 10】



【図11】



【図12】



【図13】

